به نام ایزد دانا

(کاربرگ طرح درس) تاریخ به­روز رسانی: 30/11/97

دانشکده مهندسی برق و کامپیوتر نیمسال دوم سال تحصیلی 97/98

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| مقطع: کارشناسی■ کارشناسی ارشد□ دکتری□ | | | تعداد واحد: نظری 3 | | فارسی: معماری کامپیوتر | | نام درس |
| پیش­نیازها و هم­نیازها: مدارهای منطقی (پیش­نیاز) | | | | | لاتین: Computer Architecture | |
| شماره تلفن اتاق: 3774 | | | | مدرس/مدرسین: شیث ابوالمعالی | | | |
| منزلگاه اینترنتی: | | | | پست الکترونیکی: shabolmaali@semnan.ac.ir | | | |
| برنامه تدریس در هفته و شماره کلاس: سه­شنبه 13-14 کلاس 121 - چهارشنبه 13-15 کلاس 121 | | | | | | | |
| اهداف درس: آشنایی دانشجویان با معماری و سازمان­دهی پردازنده­ها، آشنایی با معماری دستورالعمل و نیز ساختار داخلی پردازنده، آشنایی با محاسبات کامپیوتری مورد استفاده در پردازنده­های عام­منظوره، آشنایی با سلسله مراتب حافظه | | | | | | | |
| امکانات آموزشی مورد نیاز: | | | | | | | |
| امتحان پایان­ترم | امتحان میان­ترم | ارزشیابی مستمر(کوئیز) | | فعالیت­های کلاسی و آموزشی | | نحوه ارزشیابی | |
| 9 | 9 | - | | 2 | | درصد نمره | |
| معماری کامپیوتر – تالیف موریس مانو | | | | | | منابع و مآخذ درس | |

**بودجه­بندی درس**

|  |  |  |
| --- | --- | --- |
| **توضیحات** | **مبحث** | **شماره هفته آموزشی** |
|  | معرفی مفاهیم اولیه و مروری بر مطالب درس مدارهای منطقی | **1** |
|  | آشنایی با انتقال ثبات و ربزعمل­ها – آشنایی با زبان انتقال ثبات – انتقالهای گذرگاهی و حافظه­ای – ریزعملهای حسابی و سخت­افزارهای مربوطه – ریزعملهای منطقی و سخت­افزارهای مربوطه | **2** |
|  | کاربردهای ریزعملهای منطقی - ریزعملهای شیفت و سخت افزار مربوطه – واحد حساب، منطق و شیفت و سخت افزار آن – معرفی کدهای دستورالعمل – سازمان مبتنی بر برنامه ذخیره شده | **3** |
|  | آدرس­دهی مستقیم و غیرمستقیم - معرفی ثباتهای کامپیوتر پایه – سیستم گذرگاه مشترک برای اتصال ثباتها – دستورالعملهای کامپیوتر پایه، قالب آنها و انواع آنها – بررسی کامل بودن مجموعه دستورات | **4** |
|  | معرفی زمانبندی و کنترل مورد نیاز کامپیوتر پایه و سخت افزارهای اولیه مورد نیاز آن - معرفی سیکل دستورالعمل – سیکل مربوط به دستورالعمل های ارجاع به ثبات و ریزعملهای مربوطه – سیکل مربوط به دستورالعمل های ارجاع به حافظه و ریزعملهای مربوطه – سیکل مربوط به دستورالعمل های ورودی و خروجی و ریزعملهای مربوطه | **5** |
|  | معرفی وقفه و مزایای آن – سیکل وقفه و ریزعملهای مربوطه - طراحی نهایی کامپیوتر پایه – سخت افزارهای مورد نیاز – معرفی تمام ریزعملهای مورد نیاز – طراحی واحد کنترل به صورت سخت افزاری – طراحی کنترل ثباتها و حافظه – کنترل فلیپ فلاپهای منفرد | **6** |
|  | کنترل گذرگاه مشترک – طراحی مدار کنترلی ثبات انباره - آشنایی با برنامه­نویسی کامپیوتر پایه – معرفی زبان ماشین، زبان اسمبلی و زبانهای سطح بالا – تشریح زبان اسمبلی کامپیوتر پایه – تشریح اسمبلر مورد نیاز برای ترجمه کد اسمبلی | **7** |
|  | مرور اول و دوم اسمبلر – توصیف حلقه در زبان اسمبلی - برنامه نویسی اسمبلی اعمال حسابی، منطقی، جمع با دقت مضاعف و اعمال شیفت – کدنویسی اسمبلی زیرروالها – کدنویسی ارسال پارامترها به زیرروالها و دریافت نتیجه زیرروال | **8** |
|  | برنامه نویسی اسمبلی ورودی و خروجی – کدنویسی اسمبلی برنامه سوریس­دهی به وقفه - آشنایی بیشتر با قابلیتهای واحد پردازش مرکزی – معرفی سازمان ثباتهای عمومی و ریزعملهای مربوطه – آشنایی با سازمان پشته ثباتی و سازمان پشته حافظه ای و ریزعملهای مربوطه | **9** |
|  | آشنایی با نمایش لهستانی معکوس عبارات ریاضی – ارزیابی عبارات محاسباتی به کمک پشته - آشنایی با قالب دستورالعملهای رایج در پردازنده های تجاری – دستورات سه آدرسه – دستورات دو آدرسه – دستورات یک آدرسه – دستورات صفر آدرسه – دستورات RISC – آشنایی با انواع روشهای آدرسدهی | **10** |
|  | آشنایی با دستورالعملهای انتقال و دستکاری داده ها – دستورالعملهای دستکاری داده – آشنایی با انواع دستورالعملهای حسابی، منطقی و شیفت - آشنایی با انواع دستورات شرطی و کنترل برنامه – بیتهای وضعیت – دستورات انشعاب شرطی – دستورات فراخوانی و بازگشت از زیرروال – آشنایی بیشتر با وقفه برنامه – انواع وقفه | **11** |
|  | آشنایی با کامپیوترهای با دستورات پیچیده CISC و کامپیوترهای کم دستور RISC – مشخصه­های CISC و RISC – معرفی دریچه های ثباتی همپوشان - پردازنده Berkeley RISC I به عنوان یک مثال از RISC – آشنایی با پردازش خط­لوله­ای و برداری – مزایای پردازش موازی – دسته بندی انواع کامپیوتر | **12** |
|  | مفهوم خط لوله – بررسی افزایش سرعت و هزینه های خط لوله – خط لوله برای اعمال حسابی – خط لوله برای پردازش دستورالعمل - مفهوم وابستگی داده­ها – دستورالعملهای انشعاب و خط لوله – دستکاری دستورالعملهای انشعاب – خط لوله RISC – روش بار کردن با تاخیر برای حذف وابستگی داده ها | **13** |
|  | روش انشعاب با تاخیر برای حذف وابستگی کنترلی – پردازش برداری و مثالهایی از آن – برگی کردن حافظه – پردازنده های آرایه ای - آشنایی با سازمان حافظه سیستم کامپیوتری – سلسله مراتب حافظه – معرفی حافظه اصلی | **14** |
|  | معرفی ساختار تراشه های RAM و ROM – معرفی نقشه آدرسهای حافظه – نحوه اتصال حافظه ها به پردازنده - مرور کوتاهی بر حافظه های کمکی – آشنایی با حافظه های تداعیگر و سازمان سخت افزاری آن – عملیاتهای خواندن و نوشتن در حافظه های تداعیگر | **15** |
|  | حافظه کش – نگاشت تداعیگر – نگاشت مستقیم – نگاشت تداعیگر مجموعه ای – موارد مربوط به نوشتن در کش – مقداردهی اولیه در حافظه کش | **16** |